

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338721

(43)Date of publication of application : 06.12.1994

(51)Int.Cl. H03B 5/20
H03B 5/24
H03K 3/354

(21)Application number : 05-129816

(71)Applicant : OKI LSI TEKUNOROJI KANSAI:KK
OKI ELECTRIC IND CO LTD

(22)Date of filing : 31.05.1993

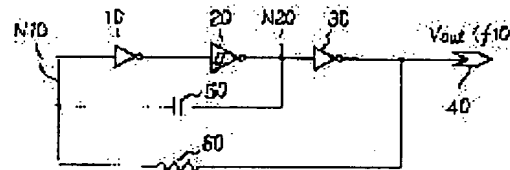
(72)Inventor : KASAHARA KEI
TAKASHIMA SUMIHIRO

(54) CR OSCILLATING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate a noise to generate an output signal having a stable frequency regardless of the variance of a supply voltage.

CONSTITUTION: When the potential of a node N10 exceeds a threshold voltage V_{TH} of an inverter 10, the output of the inverter 10 is inverted; and when this output exceeds V_{TH} of a Schmitt trigger circuit 20, the output of the circuit 20 is inverted. When the output of the circuit 20 exceeds V_{TH} of an inverter 30, the output of the inverter 30 is inverted. The output of the inverter 30 is fed back to the node N10 through a resistance 60. A capacitor 50 is alternately charged by potentials of nodes N10 and N20. Since the inverter 10 does not have a hysteresis with respect to V_{TH} , an output signal V_{OUT} having a stable frequency can be generated. When the output of the inverter 10 has the noise, the noise is eliminated by the hysteresis voltage of the circuit 20.



LEGAL STATUS

[Date of request for examination] 27.08.1999

[Date of sending the examiner's decision of rejection] 06.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 3 3 8 7 2 1

(43) 公開日 平成6年(1994)12月6日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 B	5/20	A 8124-5 J		
	5/24	8124-5 J		
H 0 3 K	3/354	C 8124-5 J		

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-129816

(22) 出願日 平成5年(1993)5月31日

(71) 出願人 592058186

株式会社沖エル・エス・アイ・テクノロジー
関西

大阪府大阪市中央区今橋4丁目2番1号

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 笠原 慶

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 ▲高▼嶋 純宏

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

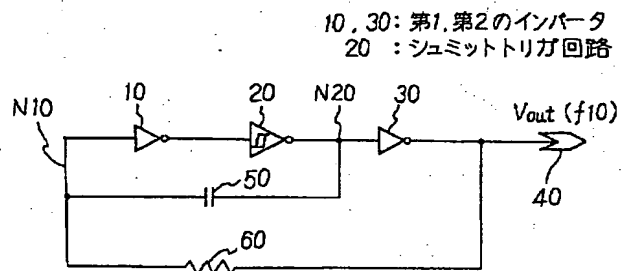
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 C.R発振回路

(57) 【要約】

【目的】 ノイズが除去され、電源電圧の変動に関わらず、安定した周波数の出力信号を発生する。

【構成】 ノードN10の電位がインバータ10の閾値電圧 V_{TH} を越えると、該インバータ10の出力が反転し、さらにその出力がシュミットトリガ回路20の V_{TH} を越えると、その回路20の出力が反転する。回路20の出力がインバータ30の V_{TH} を越えると、該インバータ30の出力が反転する。インバータ30の出力は、抵抗60を介してN10へフィードバックされる。N10とN20の電位によってコンデンサ50が交互に充電される。インバータ10は V_{TH} にヒステリシスを持たないため、安定した周波数の出力信号 V_{OUT} の発生が可能となる。インバータ10の出力にノイズがある場合、そのノイズが回路20のヒステリシス電圧によって除去される。



本発明の実施例のCR発振回路

【特許請求の範囲】

【請求項1】 電圧レベルがアナログ的に変化する第1のノードの電位が一定の閾値電圧を越えると反転信号を出力する第1のインバータと、

前記第1のインバータの出力を2つの閾値電圧と比較し、その比較結果に応じた反転信号を第2のノードへ出力するシュミットトリガ回路と、

前記第2のノードの電位が一定の閾値電圧を越えると反転信号を出力端子へ出力する第2のインバータと、

前記第1と第2のノード間に接続されたコンデンサと、前記第1のノードと前記出力端子間に接続された抵抗とを、

備えたことを特徴とするCR発振回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、種々の電子回路等に用いられるCR発振回路に関するものである。

【0002】

【従来の技術】図2は、従来のCR発振回路の一構成例を示す回路図である。このCR発振回路は、電圧レベルがアナログ的に変化するノードN1に、ノイズ対策としてシュミットトリガ回路1の入力端子が接続され、そのシュミットトリガ回路1の出力端子が、第1のインバータ2を介して第2のノードN2に接続されている。第2のノードN2は、第2のインバータ3を介して、周波数f1の出力信号V_{OUT}を出力する出力端子4に接続されている。第1と第2のノードN1、N2間にはコンデンサ5が接続されると共に、第1のノードN1と出力端子4との間に抵抗6が接続されている。

【0003】次に、図3を参照しつつ、図2に示すCR発振回路の動作を説明する。図3は、図2の動作波形図である。V_{TU}はシュミットトリガ回路1の“H”レベル側の閾値電圧、V_{TL}はシュミットトリガ回路1の“L”レベル側の閾値電圧である。シュミットトリガ回路1のヒステリシス電圧ΔV(=V_{TU}-V_{TL})と、周波数f1の出力信号V_{OUT}のパルス幅Tとの間には、T∝ΔVのような関係がある。CR発振回路に電源電圧VDDを印加し、例えば、ノードN1の電位が“0”(=“L”レベル)とすると、シュミットトリガ回路1の出力端子、ノードN2、及び出力端子4の電位がそれぞれ“1”(=“H”レベル)、“0”、“1”となる。そして、

出力端子4の“1”により、抵抗6を通してコンデンサ5がチャージ(充電)され、ノードN1の電位が“0”から徐々に上昇する。ノードN1の電位がシュミットトリガ回路1の閾値電圧V_{TU}に達すると、該シュミットトリガ回路1の出力が反転し、該シュミットトリガ回路1の出力端子、ノードN2、及び出力端子4の電位がそれぞれ“0”、“1”、“0”となる。すると、ノードN2の“1”によってコンデンサ5がチャージされ、ノードN1の電位が“1”から徐々に降下する。ノードN1の電位がシュミットトリガ回路1の閾値電圧V_{TL}に達すると、再び該シュミットトリガ回路1の出力が反転し、該シュミットトリガ回路1の出力端子、ノードN2及び出力端子4の電位がそれぞれ“1”、“0”、“1”となる。以降、これらの動作を繰り返し、周波数f1の出力信号V_{OUT}を出力端子4より出力する。

【0004】

【発明が解決しようとする課題】しかしながら、従来のCR発振回路では、次のような問題があり、それを解決することが困難であった。図4及び図5は従来の問題点を示す図であり、そのうち図4は図2の他の動作波形図、及び図5は本発明の実施例と従来の電源電圧-周波数特性図である。図4のV_{TU1}は例えば電源電圧VDDが5[V]のときのシュミットトリガ回路1の“H”レベル側の閾値電圧、V_{TL1}はその“L”レベル側の閾値電圧であり、その両者の差がヒステリシス電圧ΔV1(=V_{TU1}-V_{TL1})である。V_{TU2}は例えば電源電圧VDDが3[V]のときのシュミットトリガ回路1の“H”レベル側の閾値電圧、V_{TL2}がその“L”レベル側の閾値電圧であり、その両者の差がヒステリシス電圧ΔV2(=V_{TU2}-V_{TL2})である。V_{OUT1}はヒステリシス電圧ΔV1のときのパルス幅T1の出力信号、V_{OUT2}はヒステリシス電圧ΔV2のときのパルス幅T2の出力信号である。図2のCR発振回路において、例えば、シュミットトリガ回路1及びインバータ2、3を、NチャンネルMOSトランジスタ(以下、NMOSという)とPチャンネルMOSトランジスタ(以下、PMOSという)からなる相補型MOSトランジスタ(以下、CMOSという)でそれぞれ構成した場合、該シュミットトリガ回路1の閾値電圧V_{TH}は次式(1)で表せる。

【0005】

【数1】

$$V_{TH} = \frac{\sqrt{\frac{K_P}{K_N}} \cdot (V_{DD} - V_{TP}) + V_{TN}}{1 + \sqrt{\frac{K_P}{K_N}}} \quad [V] \quad \dots (1)$$

但し、 K_N ; NMOSの定数

K_P ; PMOSの定数

V_{TN} ; NMOSの閾値電圧

V_{TP} ; PMOSの閾値電圧

ここで、例えば、NMOS及びPMOSの閾値電圧を $V_{TN} = V_{TP} = 0.75$ [V] とし、さらにシュミットトリガ回路1の定数 $\sqrt{K_P/K_N}$ を“H”レベル側の閾値電圧 V_{TU} 、及び“L”レベル側の閾値電圧 V_{TL} についてそれぞれ $\sqrt{2}$ 、 $\sqrt{0.2}$ とすると、電源電圧 V_{DD} の変動*20

*によって次のような結果 (a), (b) となる。

(a) 電源電圧 $V_{DD} = 5$ [V] のときの閾値電圧 V_{TH} は、それぞれ
【数2】

$$V_{TU1} = \frac{\sqrt{2} (5 - 0.75) + 0.75}{1 + \sqrt{2}} \approx 2.80 \text{ [V]}$$

$$V_{TL1} = \frac{\sqrt{0.2} (5 - 0.75) + 0.75}{1 + \sqrt{0.2}} \approx 1.83 \text{ [V]}$$

よって、電源電圧 $V_{DD} = 5$ [V] に対してヒステリシス電圧 ΔV_1 の割合 h_1 は、
※【数3】

$$h_1 = \frac{\Delta V_1}{V_{DD}} \cdot 100 = \frac{2.80 - 1.83}{5} \cdot 100 = 19.4\%$$

(b) 電源電圧 $V_{DD} = 3$ [V] のときの閾値電圧 V_{TH} は、それぞれ
★【数4】

$$V_{TU2} = \frac{\sqrt{2} (3 - 0.75) + 0.75}{1 + \sqrt{2}} \approx 1.63 \text{ [V]}$$

$$V_{TL2} = \frac{\sqrt{0.2} (3 - 0.75) + 0.75}{1 + \sqrt{0.2}} \approx 1.21 \text{ [V]}$$

よって、電源電圧 $V_{DD} = 3$ [V] に対してヒステリシス電圧 ΔV_2 の割合 h_2 は、
☆【数5】

$$h_2 = \frac{\Delta V_2}{V_{DD}} \cdot 100 = \frac{1.63 - 1.21}{3} \cdot 100 = 14\%$$

このように、従来のCR発振回路では、電源電圧 V_{DD} が例えば5 [V] から3 [V] に変化すると、シュミットトリガ回路1のヒステリシス幅、つまりヒステリシス電圧が ΔV_1 から ΔV_2 へ変化し、それらの割合 h_1 、

h_2 が変化する。そのため、図5に示すように、出力信号 V_{OUT} の周波数 f_1 が電源電圧 V_{DD} によって変化してしまうという問題があった。本発明は、前記従来技術が持っていた課題として、電源電圧の変動によって出力

信号の周波数が変化するという点について解決したCR発振回路を提供するものである。

【0006】

【課題を解決するための手段】本発明は、前記課題を解決するために、CR発振回路を次のように構成している。即ち、本発明のCR発振回路では、電圧レベルがアナログ的に変化する第1のノードの電位が一定の閾値電圧を越えると反転信号を出力する第1のインバータと、前記第1のインバータの出力を2つの閾値電圧と比較し、その比較結果に応じた反転信号を第2のノードへ出力するシュミットトリガ回路と、前記第2のノードの電位が一定の閾値電圧を越えると反転信号を出力端子へ出力する第2のインバータと、前記第1と第2のノード間に接続されたコンデンサと、前記第1のノードと前記出力端子間に接続された抵抗とを、備えている。

【0007】

【作用】本発明によれば、以上のようにCR発振回路を構成したので、コンデンサの充放電によって第1のノードの電位が変化し、該第1のノードの電位が第1のインバータの閾値電圧を越えると、そのインバータの出力が反転する。この第1のインバータの出力がシュミットトリガ回路の閾値電圧を越えると、該シュミットトリガ回路の出力が反転する。シュミットトリガ回路の出力は、第2のインバータで反転されて出力端子へ出力される。第2のインバータの出力は、抵抗を介して第1のノード側へフィードバックされ、その第1のノードの電位と第2のノードの電位とによってコンデンサが交互に充電される。第1のインバータは、閾値電圧にヒステリシスを持たないため、安定した周波数の出力信号の出力が行える。第1のインバータの出力にノイズがある場合、そのノイズはシュミットトリガ回路のヒステリシス電圧によって除去される。従って、前記課題を解決できるのである。

【0008】

【実施例】図1は、本発明の実施例を示すCR発振回路の回路図である。このCR発振回路では、電圧レベルがアナログ的に変化する第1のノードN10に、1段目の第1のインバータ10の入力端子が接続され、該インバータ10の出力端子が、2段目のシュミットトリガ回路20を介して第2のノードN20に接続されている。シュミットトリガ回路20は、“H”レベル側と“L”レベル側の2つの閾値電圧 V_{TL} 、 V_{TH} を有し、その2つの閾値電圧 V_{TL} 、 V_{TH} のヒステリシス電圧 $\Delta V (=V_{TH}-V_{TL})$ によって入力ノイズを除去する機能を有している。第2のノードN20は、第2のインバータ30を介して、周波数 f_{10} の出力信号 V_{OUT} を出力する出力端子40に接続されている。第1と第2のノードN10、N20間にはコンデンサ50が接続され、さらに該第1のノードN10と出力端子40との間に抵抗60が接続されている。

【0009】図6は、図1のCR発振回路の構成例を示す具体的な回路図である。このCR発振回路は、CMOSで構成されている。第1のインバータ10は、第1のノードN10にゲートが共通接続されたPMOS11及びNMOS12を有し、それらが電源電圧VDDと接地電位VSSとの間に直列接続されている。同様に、第2のインバータ30は、第2のノードN20にゲートが共通接続されたPMOS31、32を有し、それらが電源電圧VDDと接地電位VSSとの間に直列接続されている。シュミットトリガ回路20は、インバータ10の出力端子にゲートが共通接続されたPMOS21及びNMOS22からなるCMOSインバータを有し、そのCMOSインバータの閾値電圧を変えるためにPMOS23、24及びNMOS25、26が設けられている。PMOS23、24及びNMOS25、26は、電源電圧VDDと接地電位VSSとの間に直列接続され、それらのPMOS23及びNMOS26の各ゲートが、入力側のPMOS21及びNMOS22のゲートと共通接続されている。PMOS24及びNMOS25の各ゲートは、出力端子40に接続されている。

【0010】図7は、図6中のシュミットトリガ回路20の動作特性図であり、横軸が入力電圧 V_{in} 、縦軸がドレイン電流 I_d である。PMOS a及びNMOS aからなるCMOSインバータの閾値電圧 V_{TH} は、それらのPMOS aとNMOS aの曲線の交点で決まる。シュミットトリガ回路20では、このPMOS a及びNMOS aの曲線の傾きを変化させることにより、“H”レベル側の閾値電圧 V_{TL} と“L”レベル側の閾値電圧 V_{TH} が設定される。即ち、シュミットトリガ回路20の入力電圧 V_{in} が“0”のとき、PMOS21、23、24がオン状態、NMOS22、25、26がオフ状態となっている。入力電圧 V_{in} を上げていくと、NMOS22、26がオン状態となるが、NMOS25が未だオフ状態のため、該NMOS22のみが有効となり、相互インダクタンス g_m が小さいので、NMOS aの曲線の傾きがNMOS aのようになり、閾値電圧 V_{TH} が右へシフトし、“H”レベル側の閾値電圧 V_{TL} が決まる。これに対し、シュミットトリガ回路20の入力電圧 V_{in} が“1”のときは、PMOS aの曲線の傾きがPMOS aのようになり、閾値電圧 V_{TH} が左へシフトして“L”レベル側の閾値電圧 V_{TL} が設定される。

【0011】次に、図1及び図6に示すCR発振回路の動作を説明する。CR発振回路に電源電圧VDDを印加し、例えば、ノードN10の電位が“0”とすると、インバータ10の出力端子、ノードN20、及び出力端子40の電位がそれぞれ“1”、“0”、“1”となる。そして、出力端子40の“1”により、抵抗60を介してコンデンサ50がチャージされ、ノードN10の電位が“0”から徐々に上昇する。ノードN10の電位がインバータ10の閾値電圧 V_{TH} に達すると、該インバータ

【図3】

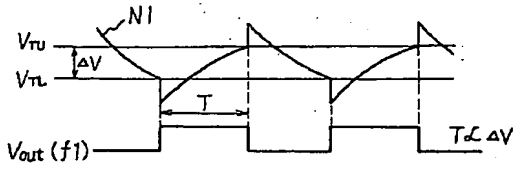
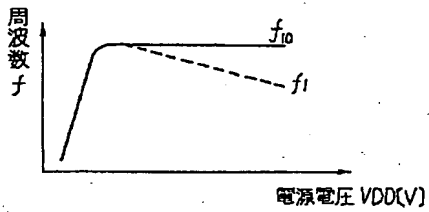


図2の動作波形図

【図5】



電源電圧一周波数特性図

【図7】

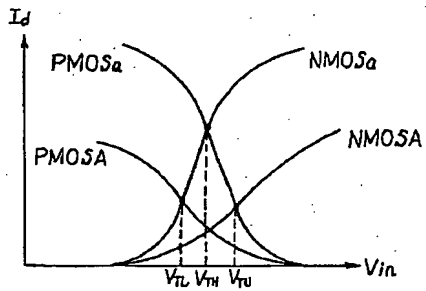


図6中のラミットリガ回路の動作特性図

【図4】

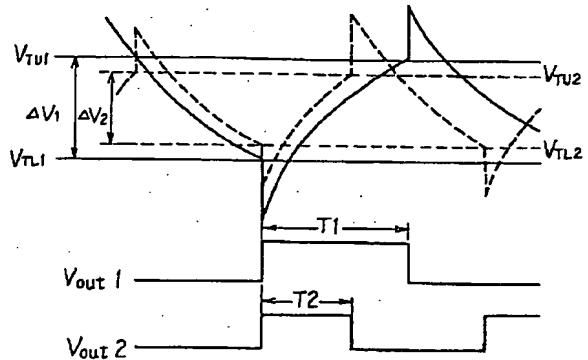


図2の他の動作波形図

【図6】

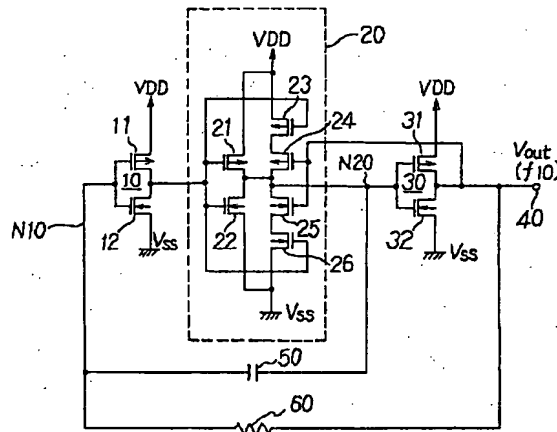


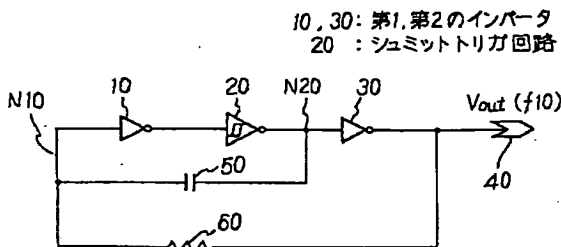
図1の回路図

10の出力が反転し、インバータ10の出力端子、ノードN20、及び出力端子40の電位がそれぞれ“0”、“1”、“0”となる。すると、ノードN20の“1”によってコンデンサ50がチャージされ、ノードN10の電位が“1”から徐々に降下する。ノードN10の電位がインバータ10の閾値電圧 V_{TH} に達すると、再び該インバータ10の出力が反転し、インバータ10の出力端子、ノードN20、及び出力端子40の電位がそれぞれ“1”、“0”、“1”となる。以後、これらの動作を繰り返し、一定の周波数 f_{10} の出力信号 V_{OUT} を出力端子40から出力する。本実施例の特徴は、1段目のゲートに、閾値電圧 V_{TH} にヒステリシスを持たない通常のインバータ10を設け、2段目のゲートに、閾値電圧 V_{TH} にヒステリシスを持つシュミットトリガ回路20を設けている。1段目のインバータ10はヒステリシスを持たないため、電源電圧 V_{DD} が変動しても、図5に示すように、安定した周波数 f_{10} の出力信号 V_{OUT} を出力できる。その上、インバータ10の出力にノイズが含まれていても、そのノイズをシュミットトリガ回路20のヒステリシスによって除去できる。即ち、インバータ10のゲインは有限であり、該インバータ10が例えばノイズを増幅してシュミットトリガ回路20に入力したとしても、それが該シュミットトリガ回路20の“H”レベル側の閾値電圧 V_{TU} 、つまりトリガ電圧まで達しない限り、その入力ノイズの遮断が行えるからである。なお、本発明は上記実施例に限定されず、例えば図6のCR発振回路を他のトランジスタ構成にしたり、あるいは出力端子40に波形整形回路等を付加する等、種々の変形が可能である。

【0012】

【発明の効果】以上詳細に説明したように、本発明によれば、電圧レベルがアナログ的に変化する第1のノードに、閾値電圧にヒステリシスを持たない第1のインバー

【図1】



本発明の実施例のCR発振回路

タを接続したので、電源電圧の変動に依存しない安定した周波数の出力信号を出力端子から出力できる。しかも、第1のインバータの後段に、閾値電圧にヒステリシスを持つシュミットトリガ回路を設けたので、第1のインバータの出力にノイズが含まれていても、該シュミットトリガ回路のヒステリシス電圧によってそのノイズを除去でき、簡単な回路構成で、必要十分なノイズ対策が可能である。つまり、本発明では1段目に第1のインバータ、2段目にシュミットトリガ回路を設けることにより、余分な回路を付加することなく、簡単な回路構成で、ノイズが除去された安定した周波数の出力信号を得ることができるという顕著な効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例のCR発振回路の回路図である。

【図2】従来のCR発振回路の回路図である。

【図3】図2の動作波形図である。

【図4】図2の問題点を説明するための他の動作波形図である。

【図5】従来と本発明の実施例の電源電圧一周波数特性図である。

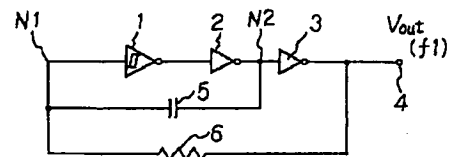
【図6】図1の構成例を示す具体的な回路図である。

【図7】図6中のシュミットトリガ回路の動作特性図である。

【符号の説明】

- 10, 30 第1, 第2のインバータ
- 20 シュミットトリガ回路
- 40 出力端子
- 50 コンデンサ
- 60 抵抗
- N10, N20 第1, 第2のノード
- V_{OUT} 出力信号

【図2】



従来のCR発振回路